

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10145367
PUBLICATION DATE : 29-05-98

APPLICATION DATE : 05-11-96
APPLICATION NUMBER : 08292359

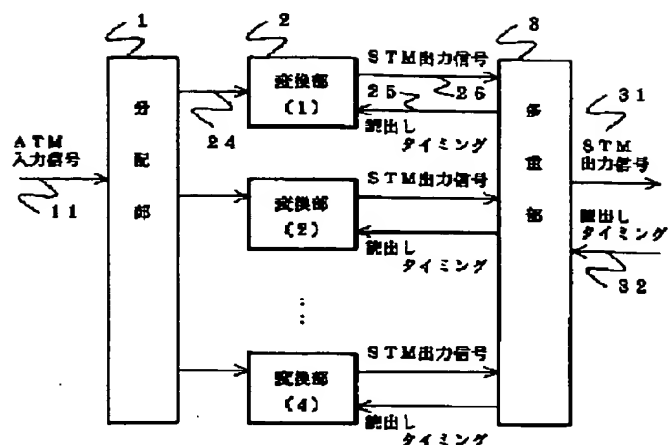
APPLICANT : NEC ENG LTD;

INVENTOR : MATSUBARA TATSUO;

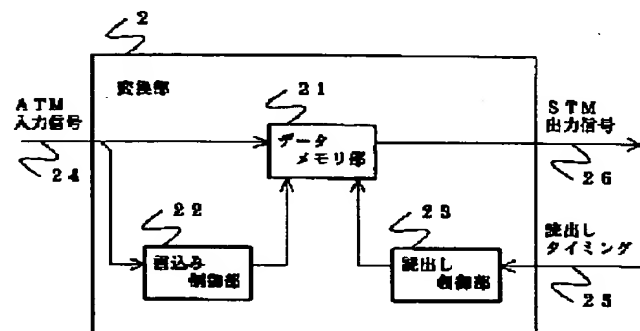
INT.CL. : H04L 12/28 H04J 3/00 H04L 7/08
H04Q 3/00 // H04L 7/00

TITLE : ATM-TO-STM CONVERSION
CIRCUIT

(A)



(B)



ABSTRACT : PROBLEM TO BE SOLVED: To provide an ATM/STM conversion circuit which has a simple constitution and can deal with the change of the delay variance value of cells, when the data are transferred in an ATM network.

SOLUTION: Plural conversion parts (1) to (4), which have the FIFO type data memory parts 21 to store plural cells and are connected in parallel to each other, are prepared together with a distribution part 1, which decides the effective cells inputted from an ATM network and distributes in sequence only the effective cell information to the parts (1) to (4), and a multiplexing part 3 which successively fetches the cell information from those parts 2 and multiplexes the cell information to output them to the STM network. Every part 2 has the capacity of the part 21 to store a prescribed number of basic cells and is standardized. The parts 21 are connected in parallel to each other and have same memory capacity.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145367

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

D

H 0 4 J 3/00

H 0 4 J 3/00

A

H 0 4 L 7/08

H 0 4 L 7/08

Z

H 0 4 Q 3/00

H 0 4 Q 3/00

A

// H 0 4 L 7/00

H 0 4 L 7/00

A

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平8-292359

(22) 出願日

平成8年(1996)11月5日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 松原 達夫

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

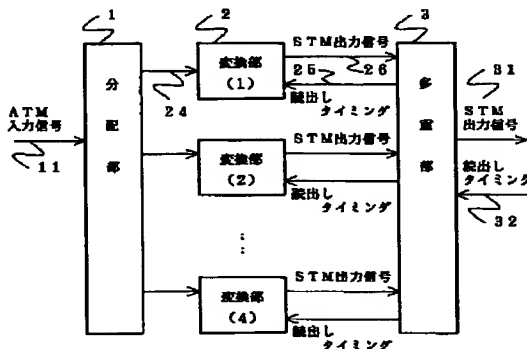
(54) 【発明の名称】 ATM/STM変換回路

(57) 【要約】

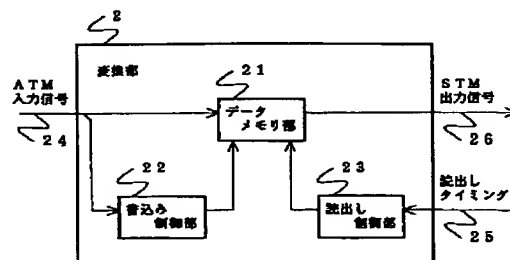
【課題】 ATM網内のデータ伝送におけるセルの遅延変動量の変化に、単純な構成で簡単に対応できるATM/STM変換回路を提供しすることである。

【解決手段】 複数のセルを記憶するFIFO形式のデータメモリ部21を有し並列接続される複数の変換部(1)～(4)と、複数の変換部(1)～(4)にATM網から入力する有効セルを判定して有効セル情報のみを順次分配する分配部1と、複数の変換部2に格納されているセル情報を順次取り出し多重化してSTM網へ出力している多重部3とを備えており、変換部2は、データメモリ部21に基本となる所定数のセルを記憶する容量を有して標準化されており、また並列接続されるデータメモリ部21は同一メモリ容量である。

(A)



(B)



【特許請求の範囲】

【請求項1】 ATM（非同期転送モード）網から入力するセルを変換してSTM（同期転送モード）網へ出力するATM/STM変換回路において、FIFO（先入れ先出し）形式による複数のデータメモリを備え、入力するセルから有効セルを判別し、次いでこの有効セルのみを複数の前記データメモリに順次格納する一方、格納された有効セルを所定の読出しタイミングで順次取り出して出力することを特徴とするATM/STM変換回路。

【請求項2】 ATM網から入力するセルを変換してSTM網へ出力するATM/STM変換回路において、複数のセルを記憶するFIFO形式のデータメモリを有する複数の変換部と、ATM網から入力する有効セルのみを前記変換部に順次分配する分配部と、前記変換部の出力を順次取り出し多重化してSTM網へ出力する多重部とを備えることを特徴とするATM/STM変換回路。

【請求項3】 請求項1または請求項2において、前記データメモリは、基本となる所定数のセルを記憶する容量を有し、同一メモリ容量の前記データメモリを有する前記変換部を並列に備えることにより構成を簡略化することを特徴とするATM/STM変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM（非同期転送モード）網から入力するセルを変換してSTM（同期転送モード）網へ出力するATM/STM変換回路に関し、特に、ATM網内のデータ伝送におけるセルの遅延変動量の変化に、単純な構成で簡単に対応できるATM/STM変換回路に関する。

【0002】

【従来の技術】通常、通信システムでは、図3に示されるように、加入者であるデータ端末装置41、46に接続する通信網の加入者伝送路は同期が取られているSTMであり、加入者伝送路を介してデータ端末装置41、46に接続するデータ回線終端装置42、45はSTM網に含まれている。

【0003】一方、中継伝送路部分は伝送路の有効利用のためATM方式が採用されているので、STM/ATM変換装置43およびATM/STM変換装置44を介してSTM網およびATM網の間を結合している。通常、ATM網内では、クロスコネクタおよび多重化機能を含んでおり、データ通信におけるバスルートの変更またはバス収容の変更などが行なわれている。

【0004】従って、ATM網内を通過してATM/STM変換装置44に入力するATM入力信号は、図4に示されるように、セルB、C、D、E、～それぞれは、セルAの基準位相 T_0 に対して時間 $+t_1$ 、 $-t_1$ 、 $-t_2$ 、 $+t_2$ 、～の遅延変動が発生している。この遅延時間 $\pm t_m$ は、通常ATM網内のトラヒック量などで決まるが、バ

スルートの変更などでクロスコネクタの通過段数が変わる場合には、変動幅が大きいことがある。

【0005】図5に示されるように、従来のこの種のATM/STM変換回路200では、データメモリ部201がATM網からATM入力信号11として受けるセルのうち、書込み制御部202がヘッダをチェックして有効なセルのみをデータメモリ部201に指示して書き込み格納している。一方、データメモリ部201に格納されたセルは、読出し制御部203がSTM網から受ける読出しタイミング32に従って一定周期毎にSTM出力信号31として読み出される。

【0006】データメモリ部201は、ATM入力信号11のセルA、B、～それぞれを、FIFO（先入れ先出し）方式により、一定の基準位相 T_0 をもって順次STM出力信号31として出力する。しかし、上述のようにATM網内では、クロスコネクタ、多重化などという条件がセル単位に動作することから、基準位相 T_0 に対して $+t_n \sim -t_n$ の遅延変動が発生する。

【0007】このような信号を変換する際のハードウェアでは、データメモリ部内に備える必要記憶量の決定が非常に難しい。

【0008】これらの入力セルを順序正しく出力するために、図4では、最大のセルゆらぎ量を基準位相の1.5倍とし、バッファ量を4セル分としてデータメモリ部201の記憶容量を設定した状態が示されている。

【0009】

【発明が解決しようとする課題】上述した従来のATM/STM変換回路では、入力するセルの遅延変動量がATM網内の構成によって大幅に変化するので、この変化に対応するためには内部のメモリ量の異なる多数種のデータメモリ部がハードウェアとして必要であり、この結果、大幅な変化に対応するためメモリ容量を大きくした場合には誤りなく確実に出力できるがデータの遅延が大きい。一方、メモリのメモリ容量を限定した場合にはメモリのアンダフローまたはオーバフローを生じるので、メモリのアンダフローまたはオーバフローが出ない程度の余裕を見込んだ値が設定されなければならない。このため、ATM/STM変換回路におけるメモリ容量の適切な設定がかなり難しいという問題点がある。

【0010】また、図5に示されるように、メモリが一面構成の場合には、メモリ容量の変更に際して、データメモリ部、書込み制御部、および読出し制御部のパラメータの変更が必要であり、ハードウェアの共用化はできないという問題点がある。

【0011】本発明の課題は、ATM網内のデータ伝送におけるセルの遅延変動量の変化に単純な構成で簡単に対応できるATM/STM変換回路を提供して上記問題点を解決することである。

【0012】

【課題を解決するための手段】本発明によるATM/S

TM変換回路は、ATM網から入力するセルを変換してSTM網へ出力するATM/STM変換回路において、FIFO形式による複数のデータメモリを備え、入力するセルから有効セルを判別し、次いでこの有効セルのみを複数の前記データメモリに順次格納する一方、格納された有効セルを所定の読出しタイミングで順次取り出しで出力している。

【0013】上記変換部は、想定するセルの遅延変動量に相当する複数個分だけを備えることにより、配備数の分だけメモリの蓄積容量を備える一方、処理速度を低減させるので回路を小形化および簡素化でき、かつ想定する変動量の変化に容易に対応できる。

【0014】具体的には、上記ATM/STM変換回路は、複数のセルを記憶するFIFO形式のデータメモリを有する複数の変換部と、ATM網から入力する有効セルのみを前記変換部に順次分配する分配部と、前記変換部の出力を順次取り出し多重化してSTM網へ出力する多重部とを備えている。

【0015】上記分配部が有効セルを判別するので、上記変換部の書き込み制御機能構成が従来と比較して簡略化される。

【0016】更に、前記データメモリは基本となる所定数のセルを記憶する容量を有し、上記ATM/STM変換回路では、同一メモリ容量のデータメモリを有する前記変換部を並列に備えることにより、構成が更に簡略化される。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0018】図1は本発明の実施の一形態を示す機能ブロック図である。図1(A)に示されたATM/STM変換回路は、分配部1、四つの変換部2、および多重部3により構成されるものとし、各変換部2は、図1(B)に示されるように、データメモリ部21、書き込み制御部22、および読出し制御部23により構成されているものとする。

【0019】従来との相違点は、従来のATM/STM変換回路と同一の回路構成による変換部の複数(図1では四つ)を各チャネルに並列に設け、ATM入力信号11を複数の変換部2に順次分配する分配部1と、複数の変換部2から順次取り出しSTM出力信号31として送出する多重部3とを備えている点である。

【0020】まず、図1を参照して各構成要素について説明する。

【0021】分配部1は、ATM網からATM入力信号11としてATM入力信号11を構成するセルを受け、受けたセルの有効か無効かを判断して有効セルのみを変換部2のATM入力信号24として変換部(1)から変換部(4)までへ順次振り分けて出力するものとする。

【0022】変換部2は、分配部1から受けた有効セル

をATM入力信号24として受け、受けた有効セルの情報を書き込み制御部22の制御によりデータメモリ21に順次格納する一方、多重部3から受ける読出しタイミング25に基づいてデータメモリ部21に格納されているセル情報を、書き込まれた順にSTM出力信号26として読み出すものとし、変換部(1)から変換部(4)までは同一回路構成であり、並列に接続されるものとする。

【0023】この変換部2の構成は、従来のATM/STM変換回路と同一であるが、データメモリのメモリ容量は小さく、書き込み制御での有効セルの判定は不要であり、更に読出し制御も時間間隔が大きく低速処理できるので、小形で簡素化されたものとなる。

【0024】多重部3は、STM網側から受ける読出しタイミング32を変換部2の数に基づいて各変換部(1)～(4)へ読出しタイミング25として順次分配し、読み出されたセル情報をSTM出力信号26として受け、各変換部(1)～(4)から順次受けたSTM出力信号26の論理和を取りSTM出力信号31としてSTM網へ送出するものとする。

【0025】次に、図1に図2を併せ参照して変換部2の機能について説明する。

【0026】まず、ATM入力信号11として有効セル(情報A、B、C、D、～)が無効セルに混じって順次分配部1へ入力する。分配部1は、有効セルを判定し、まず有効セル情報Aを変換部(1)の入力信号24、有効セル情報Bを変換部(2)の入力信号24へと、有効セル情報Dを変換部(4)の入力信号24とするまで順次送出し、次の有効セル情報E～Hそれぞれを変換部(1)～(4)それぞれの入力信号24として前の情報に続き順次送出する。

【0027】変換部(1)～(4)それぞれは、入力信号24として受けた有効セル情報A～Dそれぞれの情報を、図2の例では、書き込みタイミングに基づき、まず第1番地に書き込み、次いで受ける有効セル情報E～Hそれぞれの情報を第2番地に書き込むことにより、受ける有効セル情報を入力順に順次書き込む。この際のデータメモリへの書き込みアドレスは各変換部(1)～(4)で同一となるように分配部1により、リセット信号等で制御される。

【0028】多重部3は、STM側から受ける読出しタイミング32の4倍の周期に基づいて各変換部(1)～(4)へ順次、読出しタイミング25を供給している。各変換部(1)～(4)は、受ける読出しタイミング25に基づいて、格納されているセル情報を古い順に順次読み出す。図2の例では、読出しタイミングとして、第1番地に書き込む時刻から時間 ΔT だけ遅れた時刻が、第1番地から読み出しを開始する時刻都市手設定されている。この際のデータメモリへの読み出しアドレスは各変換部(1)～(4)で同一となるように多重部3によ

り、リセット信号等で制御される。

【0029】従って、セル情報A～Dそれぞれが各変換部(1)～(4)それぞれの第1番地から順次読出されたのち、続いて第2番地からセル情報E～Hそれぞれが順次読み出され、読み出されたセル情報A～Hは多重部3内で論理和が取られ、STM出力信号31としてセル情報A、B、C、D、E、～の順序に従ってSTM網側へ送出される。

【0030】以上説明したように、上記変換部では、四個が設備されているので、動作処理速度は“1/4”になっており、一方、並列の数を増加させる場合、全体のメモリ容量は増加することになる。

【0031】また、分配部と多重部とは、変換部の数によって、その入出力線数が変化するが、上記説明のように機能的に比較的簡単なものであるため、柔軟に対応が可能である。

【0032】変換部については、基本的な数値(例えば10セルバッファまたは100セルバッファなど)をもったハードウェアを準備するだけで多種のシステムに対応が可能である。例えば、遅延変動幅が40セルと想定された場合、10セルバッファのもの4個が設置され、500セルと想定された場合、100セルバッファのもの5個が設置されればよいことが分かる。

【0033】また、セルのバッファメモリおよびその周辺回路を含む変換部は、従来より簡素化されたが複数のため、分配部と多重部とを新たに必要としている。しかし、これら分配部と多重部とは比較的簡単な回路であるうえ、変換部も基本的な数値をもった種類のものなので、LSI(大規模集積回路)化などのハードウェアの標準化が可能である。

【0034】上記説明では、セルバッファの周辺に分配部、変換部および多重部を機能分配して図示して説明したが、機能の分離併合は上記機能を満たす限り自由であ*

り、上記説明が本発明を限定するものではない。

【0035】

【発明の効果】以上説明したように本発明によれば、複数のセルを記憶するFIFO形式のデータメモリを有する複数の変換部に、分配部がATM網から入力する有効セルのみを順次分配する一方、多重部が変換部の格納セル情報を順次取り出し多重化してSTM網へ出力するATM/STM変換回路が得られると共に、上記データメモリは基本となる所定数のセルを記憶する容量を有し、一方変換部は並列に備えられており、これら変換部のデータメモリそれぞれは同一メモリ容量を有している。

【0036】この構成により、本発明によるATM/STM変換回路は、複数の変換部を並列に備えているので動作処理速度を低く回路を簡素化でき、変換部を簡素化して標準化できるので設備の追加変更が容易であり、従って、環境の変化に柔軟に対応できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す機能ブロック図である。

【図2】図1における主要部のタイミング関係を示す波形図である。

【図3】通信システムの一例を示す接続概要図である。

【図4】ATM網を経由した際のセルの“ゆらぎ”の一例を示す説明波形図である。

【図5】従来の一例を示す機能ブロック図である。

【符号の説明】

1 分配部

2 変換部

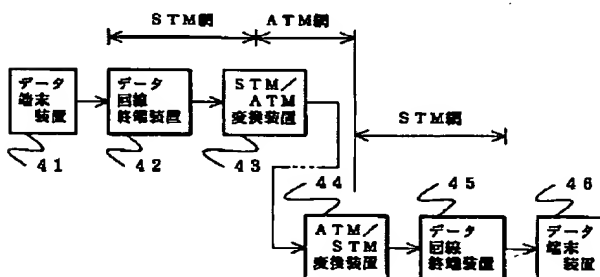
3 多重部

30 21 データメモリ部

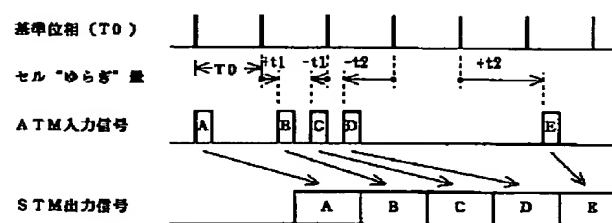
22 書込み制御部

23 読出し制御部

【図3】

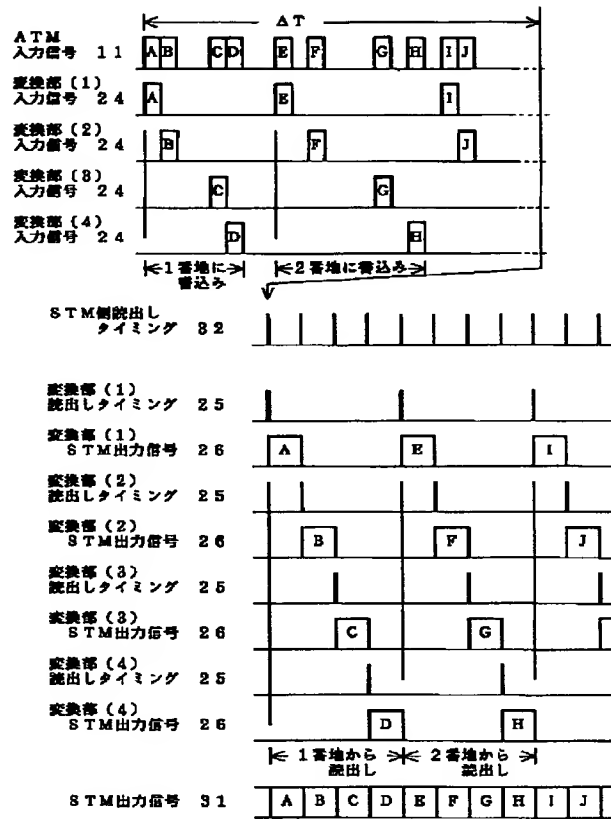
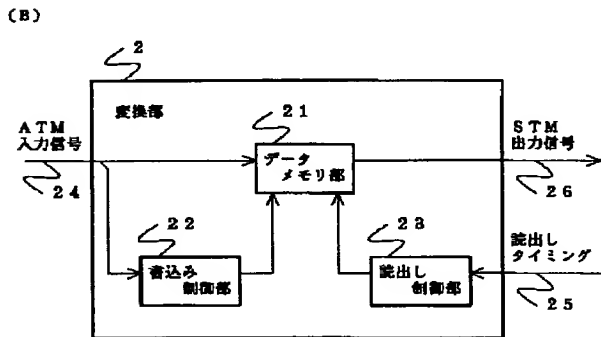
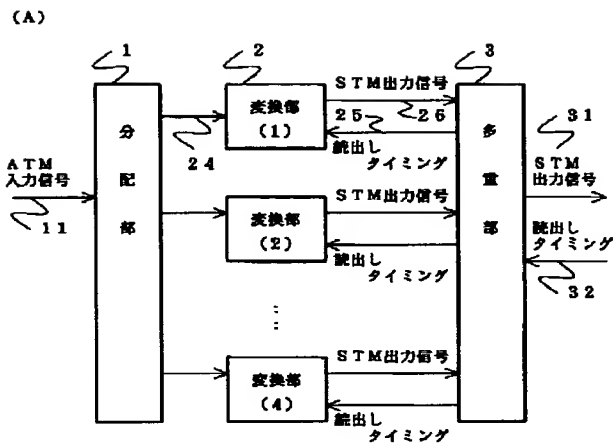


【図4】



【図1】

【図2】



【図5】

